

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 9 月 30 日 (30.09.2004)

PCT

(10) 国際公開番号
WO 2004/084322 A1(51) 国際特許分類⁷: H01L 37/02, 27/10, 29/788, 41/08[JP/JP]; 〒441-8151 愛知県豊橋市曙町字南松原
160番地 A-108号室 Aichi (JP).

(21) 国際出願番号: PCT/JP2004/002889

(22) 国際出願日: 2004 年 3 月 5 日 (05.03.2004)

(74) 代理人: 清水 守 (SHIMIZU, Mamoru); 〒101-0053 東
京都千代田区神田美土代町7番地10大園ビル
Tokyo (JP).

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-071584 2003 年 3 月 17 日 (17.03.2003) JP(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.(71) 出願人 (米国を除く全ての指定国について): 独立
行政法人科学技術振興機構 (JAPAN SCIENCE AND
TECHNOLOGY AGENCY) [JP/JP]; 〒332-0012 埼玉
県川口市本町四丁目1番8号 Saitama (JP).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 石田 誠
(ISHIDA, Makoto) [JP/JP]; 〒441-8125 愛知県豊橋
市野依台一丁目13番3号 Aichi (JP). 澤田 和明
(SAWADA, Kazuaki) [JP/JP]; 〒441-8066 愛知県豊橋
市王ヶ崎町上原一丁目3番1-304号 Aichi (JP).
赤井 大輔 (AKAI, Daisuke) [JP/JP]; 〒441-8122 愛知
県豊橋市天伯町字六ツ美37番地2号 早稲栗下宿
Aichi (JP). 余川 三香子 (YOKAWA, Mikako) [JP/JP]; 〒
441-8157 愛知県豊橋市上野町上原135番地2-B
号室 Aichi (JP). 平林 京介 (HIRABAYASHI, Keisuke)(84) 指定国 (表示のない限り、全ての種類の広域保護が
可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,
SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG,
KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,
NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

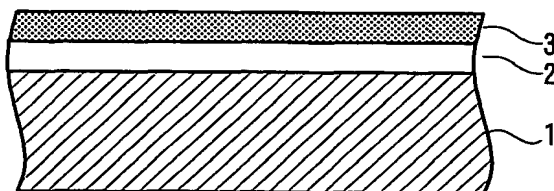
添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR ELEMENT, SEMICONDUCTOR SENSOR AND SEMICONDUCTOR MEMORY ELEMENT

(54) 発明の名称: 半導体素子、半導体センサーおよび半導体記憶素子

(57) Abstract: A semiconductor element, a semiconductor sen-
sor and a semiconductor memory element in which an MFMIS
structure having a lower electrode can be integrated with an inte-
grated circuit. A γ - Al_2O_3 single crystal film (2) is grown epitax-
ially on a semiconductor single crystal substrate (1), and a single
crystal Pt thin film (3) is grown epitaxially on the γ - Al_2O_3 single
crystal film (2).(57) 要約: 下部電極を有するMFMIS構造と集積回路を一体化することができる半導体素子、半導体センサーおよび
半導体記憶素子を提供する。半導体単結晶基板(1)上にエピタキシャル成長された γ - Al_2O_3 単結晶膜(2)を有し、その
 γ - Al_2O_3 単結晶膜(2)上にエピタキシャル単結晶Pt薄膜(3)を有する。

明 細 書

半導体素子、半導体センサーおよび半導体記憶素子

技術分野

本発明は、半導体素子、半導体センサーおよび半導体記憶素子に関するものである。

背景技術

近年、強誘電体の持つ、履歴現象、焦電効果、圧電効果、電気光学効果といった特性を利用した様々な電子デバイスが研究されている。中でも、金属／強誘電体／金属構造／絶縁体／半導体（Metal／Ferroelectric／Metal／Insulator／Semiconductor：MFMISS）構造を用いたデバイスは、不揮発性記憶素子やセンサーへの応用が期待されている。

また、この構造では強誘電体を薄膜化することにより、デバイス性能の向上、サイズの小型化などが可能になると期待される。さらに、半導体基板を用いることで集積回路との一体化が可能であると考えられている。

MFMISS構造を用いたデバイスにおいては、上部と下部の電極は強誘電体からの信号を取り出すあるいは強誘電体へ信号を与えるために必要となっている。例えば、強誘電体をセンサーとして利用する場合は、強誘電体に与えられた物理的な効果により上下の電極に信号が現れる。また、強誘電体を記憶素子として利用する場合は、記憶させたいデータに応じて、上下電極から強誘電体に対して電氣的信号を与える必要がある。

一方で、強誘電体の結晶性はデバイスとしての性能を左右する重要な要素である。MFMISS構造において、強誘電体は金属電極上に形成されるため、電極にも結晶性の良いものが求められている。現在、電極用の金属材料としてはプラチナ（Pt）が広く使われている。

また、センサーデバイスの分野において、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ （PZT）系強誘電体材料が広く用いられている。PZT系材料は電極上の結晶面を（00

1) 面に揃えることで、最も良好な強誘電特性を示すことが知られている。この PZT (001) を得るためには、下部電極の Pt を (001) 面で揃えた単結晶とする必要があり、現在そのような Pt を得るために単結晶 MgO (001) 基板が使用されている。また、シリコン (Si) 基板表面にシリコン (Si) 酸化膜を形成し、その後チタンを堆積した基板を用いることにより、Pt (111) 配向膜とその上への PZT (111) 配向膜が作製できる。

【特許文献 1】

特開 2002-261249 号公報 (第 4-5 頁 図 2)

【非特許文献 1】

赤井 他、第 49 回応用物理学関係連合講演会予稿集, 30a-ZA-6

発明の開示

上記したように、強誘電特性の優れた PZT (001) を用いた MFMI S 構造と集積回路を一体化したデバイスを作製するために、Pt (001) が形成可能な半導体 (例えば、Si) 基板が求められている。一方、現在使用されている単結晶 MgO (001) 基板は絶縁体であり、上記の要求を満たすことができない。

さらに、上記した特許文献 1 では、半導体基板上にエピタキシャル成長された γ -Al₂O₃ 単結晶膜上に高配向の強誘電体薄膜を順次堆積してなることを特徴とする半導体記憶素子が開示されているが、この構造では下部電極が形成されていないために、半導体センサーなどには用いることができなかった。

本発明は、上記状況に鑑みて、下部電極を有する MFMI S 構造と集積回路を一体化することができる半導体素子、半導体センサーおよび半導体記憶素子を提供することを目的とする。

本発明は、上記目的を達成するために、

〔1〕半導体素子において、半導体単結晶基板上にエピタキシャル成長された γ -Al₂O₃ 単結晶膜を有し、この γ -Al₂O₃ 単結晶膜上にエピタキシャル単結晶 Pt 薄膜を有することを特徴とする。

〔2〕半導体素子において、半導体単結晶基板上にエピタキシャル成長された

γ - Al_2O_3 単結晶膜を有し、この γ - Al_2O_3 単結晶膜上にエピタキシャル単結晶Pt薄膜を設けるとともに、この単結晶Pt薄膜上に高配向の強誘電体薄膜を順次堆積してなることを特徴とする。

〔3〕上記〔1〕または〔2〕記載の半導体素子において、前記半導体単結晶基板として、Si単結晶基板を用いたことを特徴とする。

〔4〕上記〔3〕記載の半導体素子において、前記Si単結晶基板の表面が(100)面であることを特徴とする。

〔5〕上記〔2〕、〔3〕または〔4〕記載の半導体素子において、前記強誘電体薄膜として、 BaMgF_4 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $(\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}$ 、 BaTiO_3 、 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 PbTiO_3 、 $\text{Pb}_y\text{La}_{1-y}\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$ 、 ZnO のうち、いずれかの薄膜を用いることを特徴とする。

〔6〕半導体センサーにおいて、半導体単結晶基板上にエピタキシャル成長された γ - Al_2O_3 単結晶膜を有し、この γ - Al_2O_3 単結晶膜上にエピタキシャル単結晶Pt薄膜を設けるとともに、この単結晶Pt薄膜上に高配向の強誘電体薄膜を有し、この強誘電体薄膜上に上部電極を具備することを特徴とする。

〔7〕上記〔6〕記載の半導体センサーにおいて、前記半導体単結晶基板がSOI構造であることを特徴とする。

〔8〕上記〔6〕記載の半導体センサーにおいて、前記半導体単結晶基板に共振周波数調整のための処理を施し、超音波を検出することを特徴とする。

〔9〕上記〔6〕記載の半導体センサーにおいて、前記半導体単結晶基板に熱分離のためのエッチングを施し、赤外線を検出することを特徴とする。

〔10〕上記〔9〕記載の半導体センサーにおいて、前記上部電極と前記エピタキシャル単結晶Pt薄膜からなる下部電極間にトランジスタを一体化することを特徴とする。

〔11〕半導体記憶素子において、上記〔1〕～〔5〕の何れか1項記載の半導体素子の前記半導体単結晶基板をFET構造としたメモリ機能を有することを特徴とする。

図面の簡単な説明

第1図は、Ptと γ -Al₂O₃のスピネル構造の界面表面での原子配置を示す図である。

第2図は、本発明にかかる単結晶 γ -Al₂O₃ (001)/Si (001) 基板の断面図である。

第3図は、本発明にかかる単結晶 γ -Al₂O₃ (001)/Si (001) 基板のRHEEDパターンを示す図である。

第4図は、本発明の実施例を示すPt/ γ -Al₂O₃ (001)/Si (001) 基板の断面図である。

第5図は、本発明の実施例を示すPt/ γ -Al₂O₃ (001)/Si (001) 基板のRHEEDパターン (その1) を示す図である。

第6図は、本発明の実施例を示すPt/ γ -Al₂O₃ (001)/Si (001) 基板のRHEEDパターン (その2) を示す図である。

第7図は、第6図のRHEEDパターンのスポット位置の同定を示す図である。

第8図は、比較例としてのPt/サファイア (10-12)/Si (001) 基板のXRDパターンを示す図である。

第9図は、本発明の実施例を示すMFMI S型センサー (その1) の断面図である。

第10図は、本発明の実施例を示すMFMI S型センサー (その2) の断面図である。

第11図は、本発明の実施例を示すトランジスタと一体化したMFMI S型半導体センサーの構成図である。

第12図は、本発明の実施例を示すメモリ構造を有するMFMI S-FET型半導体記憶素子の断面図である。

発明を実施するための最良の形態

以下、本発明について説明する。

本発明は、Si基板上に単結晶絶縁膜を成長させ、その単結晶絶縁膜上にPt電極を形成する。換言すれば、Si基板とPt電極との間に単結晶絶縁膜を形成

する。このようにして、単結晶Pt電極を容易に得ることができ、MFMI S構造を実現するようにした。Si基板上にエピタキシャル成長可能な絶縁膜としては、 γ -Al₂O₃を使用するようにした。

単結晶絶縁膜の積層には、積層する材料の結晶構造および格子定数の不整合率が重要である。そこで、 γ -Al₂O₃、PtおよびMgOについて格子定数の検討を行った。表1にそれぞれの結晶構造および格子定数を示す。

(表1)

	結晶構造	晶 系	格 子 定 数
Pt	面心立方構造	立方晶	$a = b = c = 3092 \text{ \AA}$
λ -Al ₂ O ₃	スピネル構造	正方晶	$a = b = 7.95 \text{ \AA}$ $c = 7.79 \text{ \AA}$
MgO	スピネル構造	立方晶	$a = b = c = 4.21 \text{ \AA}$

第1図はPtと γ -Al₂O₃のスピネル構造の際表面での原子配置を示す図であり、第1図(a)はPtの原子配置、第1図(b)は γ -Al₂O₃の原子配置を示している。

スピネル構造の際表面は、 γ -Al₂O₃を例にとると第1図(b)に示すように、Alの面心立方構造と見ることができる。一方、Ptの場合も、第1図(a)に示すように、Ptの面心立方構造と見ることができる。

したがって、(001)面上での原子配置はPtと γ -Al₂O₃とでは幾何学的には同じである。そこで、表1に示した格子定数より、Pt(001)面と γ -Al₂O₃(001)面およびPt(001)面とMgO(001)面との格子不整合率を計算すると、表2に示す値が得られた。

(表2)

	格子不整合率
Pt(001) - λ -Al ₂ O ₃ (001)	1.4%
Pt(001) - MgO(001)	6.8%

この結果より、Ptと γ -Al₂O₃との格子不整合率は十分に低く、さらにはPt-MgOの格子不整合率の値よりも低くなることが分かった。これは、 γ -Al₂O₃への単結晶Ptのエピタキシャル成長の可能性を示すものである。

Si 基板上への単結晶 γ -Al₂O₃ 膜のエピタキシャル成長技術は、本願発明者の提案にかかる上記特許文献1で明らかにされている。これにより得られる基板の断面構造を第2図に示す。

第2図は本発明にかかるSi 基板上へエピタキシャル成長させた単結晶 γ -Al₂O₃ 膜の断面図である。

この図において、Si (001) 基板1上にエピタキシャル成長した γ -Al₂O₃ (001) 膜2が単結晶であるかは、反射高速電子線回折装置 (RHEED) による回折像を観察することで判断できる。

第3図は第2図に示す単結晶 γ -Al₂O₃ (001) / Si (001) 基板のRHEEDパターンを示す。

この第3図より、Si (001) 基板1上にエピタキシャル成長した γ -Al₂O₃ (001) 膜2が単結晶であることが分かる。本発明では、こうして得られた γ -Al₂O₃ (001) / Si (001) 基板 (以下、単にAl₂O₃ 基板と呼ぶ) を用い、以下に示すプロセスで、単結晶Pt膜を形成する。

第4図は本発明の実施例を示すPt / γ -Al₂O₃ (001) / Si (001) 基板の断面図である。

この図において、3はエピタキシャル単結晶Pt薄膜である。ここでは、O₂ およびTMA (tri-methyl amine) を材料ガスとするcold-wall CVD装置によりSi (001) 基板1上にエピタキシャル成長させた γ -Al₂O₃ 膜2 (14 nm) を基板として用いた。Pt薄膜3はRFスパッタ法により作製した。スパッタガスはArのみで、基板温度は室温から600℃まで変化させた。作製したPt薄膜3の結晶性をRHEEDにより解析した (第5図、第6図参照)。

このPt / γ -Al₂O₃ (001) / Si (001) 基板の作製プロセスは、

(1) まず、Si (001) 基板1上に成長した γ -Al₂O₃ (001) 膜2からなるAl₂O₃ 基板をRFスパッタ装置へ導入する。

(2) 次に、スパッタ装置内を真空ポンプにより、真空度 1×10^{-2} Torr から 1×10^{-7} Torrの範囲まで排気する。

(3) 次に、Arガスを装置内へ導入し、真空度を 1×10^{-6} Torrから1

$\times 10^{-3}$ Torr の範囲に調整する。

(4) 次いで、基板加熱機構により、 Al_2O_3 基板を 550°C 以上に加熱する。

(5) 次に、プラズマを発生させる。

(6) プリスパッタを行った後、シャッタを開き、 Al_2O_3 基板上へと Pt 薄膜 3 を堆積させる。

(7) 所定の膜厚が得られた後、シャッタを閉じ、プラズマの発生を停止させる。

得られた Pt 薄膜の結晶構造について、RHEED を用いて解析を行った。その結果を第 5 図および第 6 図に示す。

まず、第 5 図に示す RHEED パターンでは、Pt (002) 面に起因するピークのみが現れており、Pt が (001) 配向していることが確認できた。より詳細には、室温～ 500°C でのスパッタでは、(111) および (002) の弱いピークが観測されており多結晶の Pt 薄膜が成長している。 550°C で (002) のピークが強く現れ始めたが、(111) のピークもわずかに残っており、エピタキシャル成長していない。 600°C の場合では、(111) のピークは完全に失せて (002) ピークのみが現れた。

また、第 6 図に示す RHEED においてもスポットパターンが観測され、Pt (001) が $\gamma\text{-Al}_2\text{O}_3$ (001) 上にエピタキシャル成長していることが確認できた。なお、 $\alpha\text{-Al}_2\text{O}_3$ (サファイア) の R 面上に同様の条件において Pt をスパッタした場合、(001) 配向の膜は得られず、(111) 配向となった。

さらに、第 6 図に示す RHEED パターンのスポット位置・間隔を同定した結果、各スポットが、第 7 図に示す面からのものであることが分かった。これらの結果より、 Al_2O_3 基板上に単結晶 Pt (001) が成長していることを確認した。

前述したようなプロセスを用いてサファイア (10-12) 面上に Pt を堆積した場合は、第 8 図に示すような (111) 配向の Pt 膜しか得られない。Si 基板を用いて、Pt (001) 膜を得られるのは単結晶 $\gamma\text{-Al}_2\text{O}_3$ を用いる

ことによるものである。

以下、本発明の実施の形態について詳細に説明する。

(実施例1) 超音波センサー、赤外線センサーの構成例1

第9図は本発明の構造を有する基板を用いて製造されたMFMI S型センサーの構成断面図である。

第9図に示すように、Si(001)基板11上に単結晶の γ -Al₂O₃(001)膜12を成長させた後、ハンドリングのため5 μ m程度のSi単結晶薄膜13を成長させる。もちろん、この構造は、SOI(Silicon On Insulator)構造であるので、他の方法で作製したSOI構造を用いてもよい。

そのSi単結晶薄膜13上に単結晶の γ -Al₂O₃(001)膜14を成長させ、その後、Pt薄膜15をエピタキシャル成長させる。これが下部電極となる。次に、MOCVD法、またはゾルゲル法、スパッタ法で強誘電体薄膜16を高配向に成長させる。その後、上部電極(例えば金ブラック)17を設け、所望の大きさに強誘電体薄膜16をパターンニングする。

これを、赤外線センサーとして構成するためには、赤外線の照射による熱上昇を効果的に得るために、熱分離のためSi基板11を、背面からKOH溶液などでエッチングする。このように構成された上部電極17とPt下部電極15間に、赤外線が入射することで、強誘電体薄膜16の自発分極値の変化(焦電効果)に伴う電圧変化(もしくは電流計をつなげば電流変化)が、入射される赤外線光量に見合って現れる。

また、超音波センサーとして構成するためには、共振周波数調整のため、同様に背面からSi基板11を削る。このように構成された上部電極17とPt下部電極15間に超音波を入射すると、圧電効果により、電圧が発生する。

また、同様な機能を有するMFMI S型センサーは第10図のような構造でも可能である。

すなわち、Si基板21上に単結晶 γ -Al₂O₃(001)膜22、単結晶Pt下部電極23、強誘電体薄膜24、上部電極25を形成して、Si基板21と単結晶 γ -Al₂O₃(001)膜22の一部にはエッチングによるリセス2

6を形成してオーバーハング状態にする。つまり、この場合、熱分離もしくは共振周波数調整のためのSi基板21のエッチングは、Si基板21の表面から行う。

第11図は本発明の実施例を示すトランジスタと一体化したMFMI S型半導体センサーの構成図である。

この図において、31は下部電極（エピタキシャル単結晶Pt膜）、32は強誘電体薄膜、33は上部電極、34は抵抗、35は電界効果トランジスタ、36はゲート、37、38はソース・ドレイン、39は電源電圧（VDD）端子、40はセンサー出力（Vout）端子である。

このように、赤外線照射による焦電効果のため発生した電荷を、第11図に示すように、電界効果トランジスタ（もしくはMOSトランジスタ）35で電圧変化に変換して信号を取り出すことにより、雑音を減じることができる。図中の抵抗34はシャUNT抵抗と呼ばれ、電流を電圧に変換するとともに、赤外線への応答速度を制御するものである。

第12図は本発明の実施例を示すメモリ構造を有するMFMI S-FET型半導体記憶素子の断面図である。

この図において、41は半導体基板〔Si基板〕、42、43はソース・ドレイン、44は絶縁膜〔エピタキシャル単結晶 γ -Al₂O₃（001）膜〕、45は下部電極（エピタキシャル単結晶Pt膜）、46は強誘電体薄膜、47は上部電極である。

このように、ソース・ドレイン42、43間に絶縁膜（エピタキシャル単結晶 γ -Al₂O₃膜）44、そして、その上に下部電極として金属（エピタキシャル単結晶Pt薄膜）45、その上に強誘電体薄膜46、そして上部電極47が構成されている半導体構造である。

上部電極47に、ある電圧以上（たとえば5V）の電圧を印加すると、ソース・ドレイン42、43間には電流が流れる。上部電極47の電圧を0Vまで落としても、強誘電体46の履歴現象のため、電流は流れ続ける。次に、上部電極47に、ある負の電圧以下（たとえば-5V）を印加すると、電流が流れなくなる。上部電極47の電圧を0Vに戻しても、強誘電体46の履歴現象のため、電流は

流れない。

なお、強誘電体薄膜としては、 BaMgF_4 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $(\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}$ 、 BaTiO_3 、 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 PbTiO_3 、 $\text{Pb}_y\text{La}_{1-y}\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$ 、 ZnO のうち、いずれかの薄膜を用いるようにすればよい。

また、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

(A) 半導体基板上に単結晶 $\gamma\text{-Al}_2\text{O}_3$ 膜（単結晶絶縁薄膜）を成長させ、その単結晶 $\gamma\text{-Al}_2\text{O}_3$ 膜を半導体基板とPt電極との間に形成することにより、単結晶Pt電極を容易に得ることができ、MFMS構造を容易に形成することができる。

(B) 強誘電体薄膜を利用したデバイス、とりわけ半導体記憶素子や半導体センサーを得ることができ、その性能向上とサイズの小型化に貢献できる。

産業上の利用可能性

本発明の半導体素子、半導体センサーおよび半導体記憶素子は、特に、赤外線および半導体メモリに好適である。

請 求 の 範 囲

1.

半導体単結晶基板上にエピタキシャル成長された γ - Al_2O_3 単結晶膜を有し、該 γ - Al_2O_3 単結晶膜上にエピタキシャル単結晶P t薄膜を有することを特徴とする半導体素子。

2.

半導体単結晶基板上にエピタキシャル成長された γ - Al_2O_3 単結晶膜を有し、該 γ - Al_2O_3 単結晶膜上にエピタキシャル単結晶P t薄膜を設けるとともに、該単結晶P t薄膜上に高配向の強誘電体薄膜を順次堆積してなることを特徴とする半導体素子。

3.

請求項1または2記載の半導体素子において、前記半導体単結晶基板として、S i単結晶基板を用いたことを特徴とする半導体素子。

4.

請求項3記載の半導体素子において、前記S i単結晶基板の表面が(100)面であることを特徴とする半導体素子。

5.

請求項2、3または4記載の半導体素子において、前記強誘電体薄膜として、 BaMgF_4 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $(\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}$ 、 BaTiO_3 、 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 PbTiO_3 、 $\text{Pb}_y\text{La}_{1-y}\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$ 、 ZnO のうち、いずれかの薄膜を用いることを特徴とする半導体素子。

6.

半導体単結晶基板上にエピタキシャル成長された γ - Al_2O_3 単結晶膜を有し、該 γ - Al_2O_3 単結晶膜上にエピタキシャル単結晶P t薄膜を設けるとともに、該単結晶P t薄膜上に高配向の強誘電体薄膜を有し、該強誘電体薄膜上に上部電極を具備することを特徴とする半導体センサー。

7.

請求項6記載の半導体センサーにおいて、前記半導体単結晶基板がS O I構造

であることを特徴とする半導体センサー。

8.

請求項6記載の半導体センサーにおいて、前記半導体単結晶基板に共振周波数調整のための処理を施し、超音波を検出することを特徴とする半導体センサー。

9.

請求項6記載の半導体センサーにおいて、前記半導体単結晶基板に熱分離のためのエッチングを施し、赤外線を検出することを特徴とする半導体センサー。

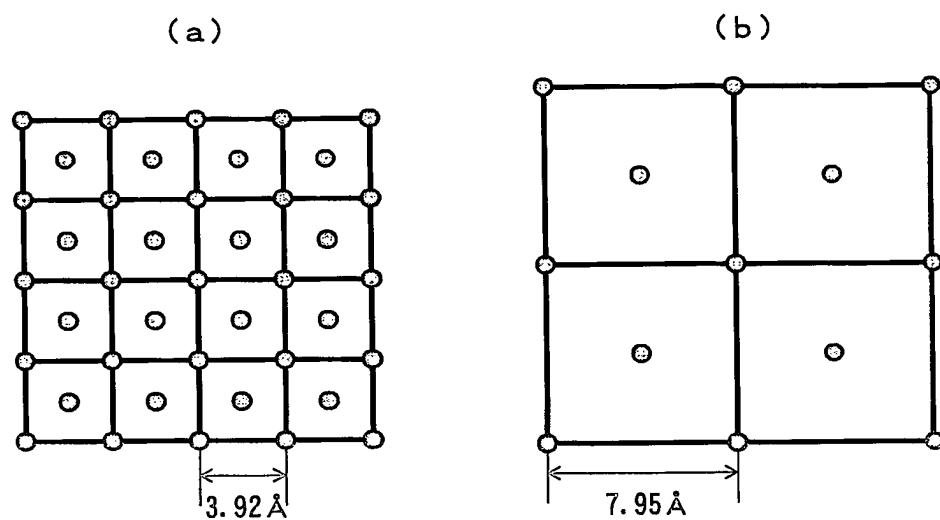
10.

請求項9記載の半導体センサーにおいて、前記上部電極と前記エピタキシャル単結晶P_t薄膜からなる下部電極間にトランジスタを一体化することを特徴とする半導体センサー。

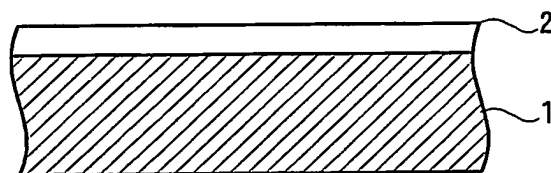
11.

請求項1～5の何れか1項記載の半導体素子の前記半導体単結晶基板はFET構造としたメモリ機能を有することを特徴とする半導体記憶素子。

第 1 図



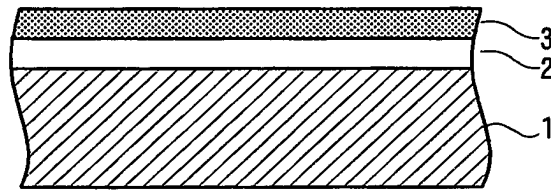
第 2 図



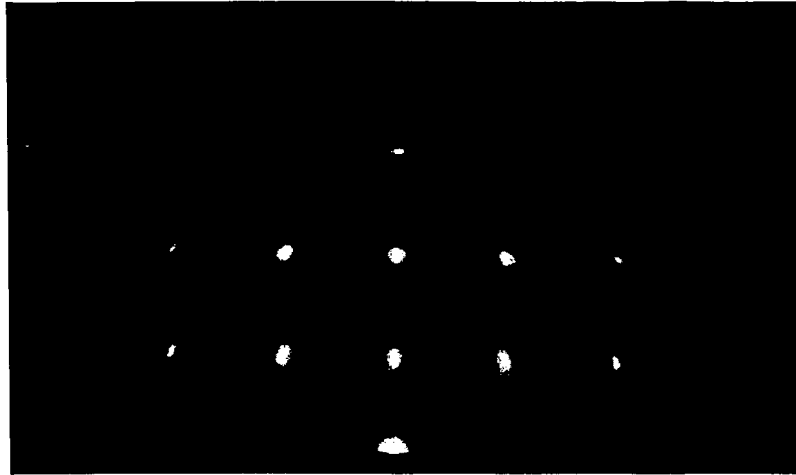
第 3 図



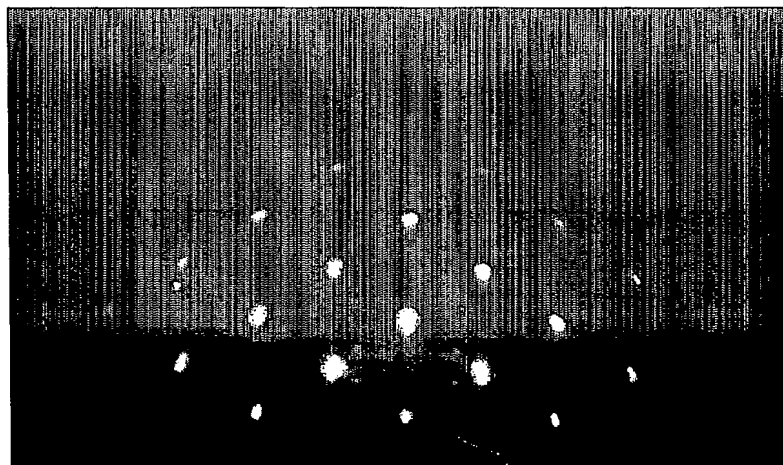
第 4 図



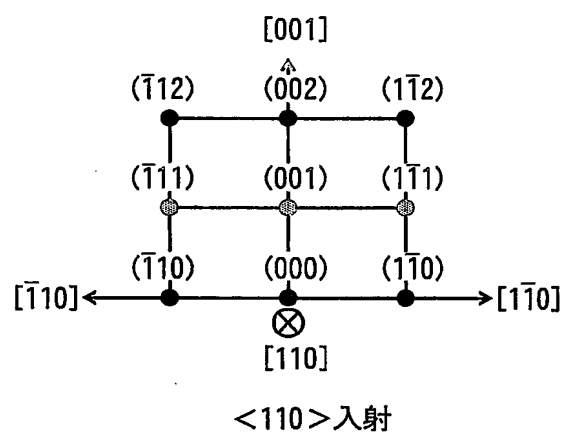
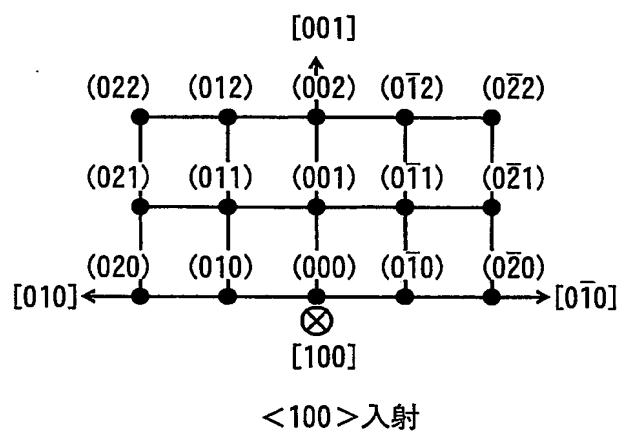
第 5 図



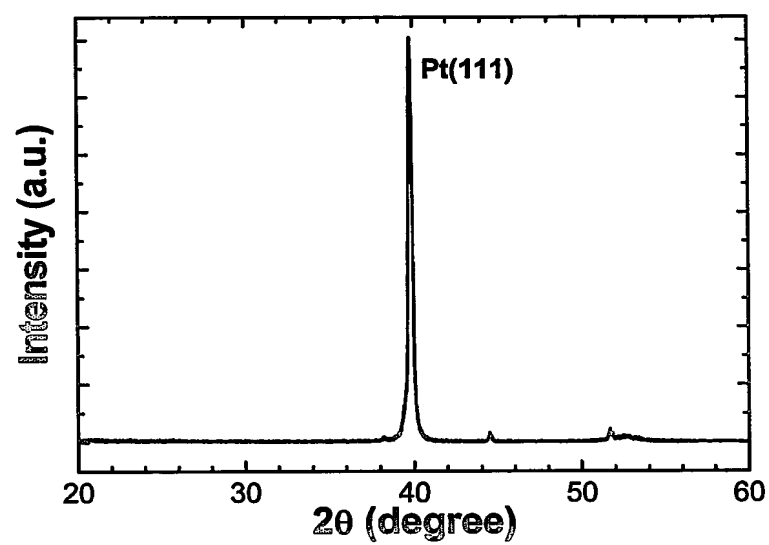
第 6 図



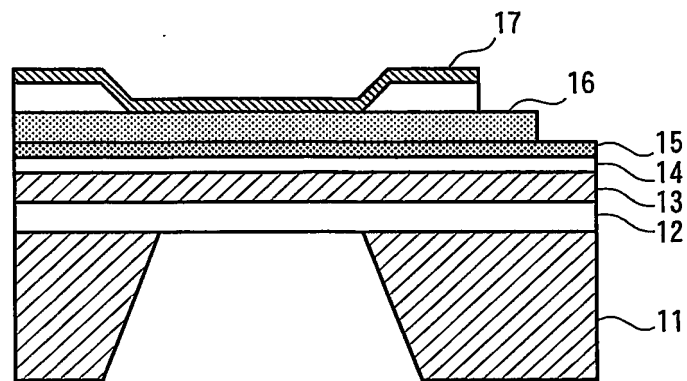
第 7 図



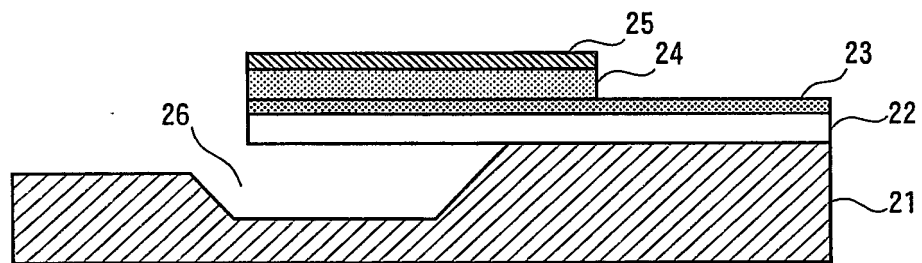
第 8 図



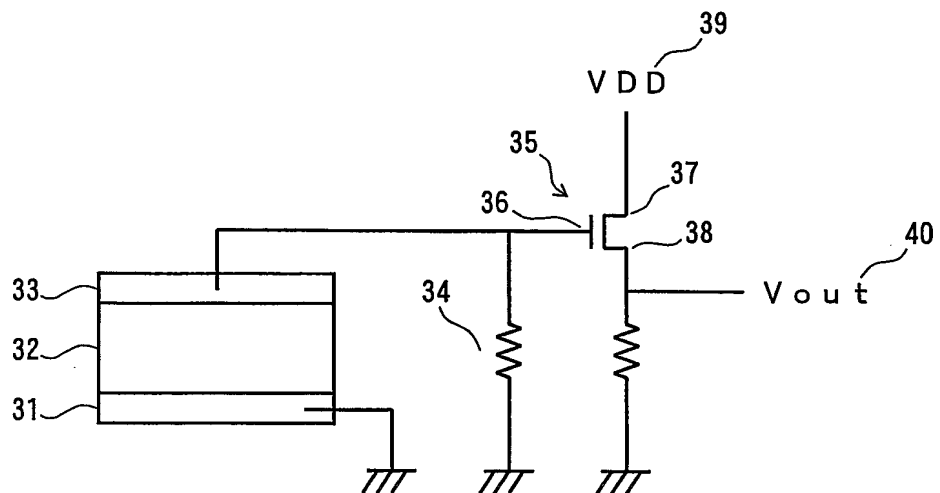
第 9 図



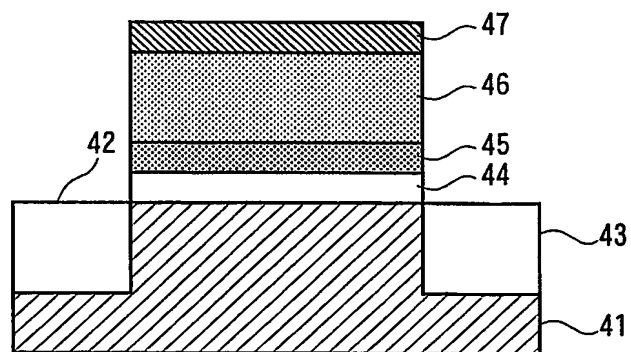
第 10 図



第 11 図



第 12 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/002889

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L37/02, H01L27/10, H01L29/788, H01L41/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L37/02, H01L27/10, H01L29/788, H01L41/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 9-089651 A (Horiba, Ltd.), 04 April, 1997 (04.04.97), Full text; all drawings (Family: none)	1-11
A	JP 2002-289793 A (Fujitsu Ltd.), 04 October, 2002 (04.10.02), Full text; all drawings (Family: none)	1-11
A	JP 2002-151654 A (Sharp Corp.), 24 May, 2002 (24.05.02), Full text; all drawings (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

13 May, 2004 (13.05.04)

Date of mailing of the international search report

25 May, 2004 (25.05.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/002889

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6139971 A (SIEMENS AG.), 31 October, 2000 (31.10.00), Full text; all drawings & JP 2000-515329 A Full text; all drawings & DE 19630110 A1 & EP 914677 A1 & KR 16270 A & TW 362225 B & WO 98/5062 A1	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L37/02, H01L27/10, H01L29/788, H01L41/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L37/02, H01L27/10, H01L29/788, H01L41/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 9-089651 A (株式会社堀場製作所) 1997. 04. 04, 全文, 全図 (ファミリーなし)	1-11
A	J P 2002-289793 A (富士通株式会社) 2002. 10. 04, 全文, 全図 (ファミリーなし)	1-11
A	J P 2002-151654 A (シャープ株式会社) 2002. 05. 24, 全文, 全図 (ファミリーなし)	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日
13. 05. 2004国際調査報告の発送日
25. 5. 2004

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 小野田 誠
 4 L 8427
 電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 6139971 A (SIEMENS AKTIENGESELLSCHAFT) 2000. 10. 31, 全文, 全図 & JP 2000-515329 A, 全文, 全図 & DE 19630110 A1 & EP 914677 A1 & KR 16270 A & TW 362225 B & WO 98/5062 A1	1-11